



UNIVERSIDAD NACIONAL DE LA PLATA  
FACULTAD DE INFORMÁTICA

---

## ARQUITECTURA DE COMPUTADORAS

Año 2014

### Carrera/ Plan:

*Licenciatura en Informática Plan 2003-07/Plan 2012*  
*Licenciatura en Sistemas Plan 2003-07/Plan 2012*  
*Analista Programador Universitario Plan 2007*

Año: 1°

Régimen de Cursada Semestral

Carácter: Obligatoria

Correlativas: Organización de Computadoras

Profesor: Horacio Villagarcía Wanza, Néstor Castro,  
Jorge Runco, Enrique Orellana, Diego Montezanti

Hs. semanales : 6 hs.

---

### FUNDAMENTACIÓN

La asignatura profundiza los conocimientos de tecnología informática en Arquitectura de Procesadores. Esos conocimientos coadyuvarán a que como profesional pueda evaluar y verificar la utilización, eficiencia y confiabilidad de equipamiento informático (hardware) y también le serán necesarios para la configuración y dimensionamiento de sistemas de procesamiento de información.

### OBJETIVOS GENERALES

Profundizar los conceptos vistos en Organización de Computadoras, de modo de lograr que el alumno comprenda los mecanismos internos de operación de una computadora. En particular analizar el manejo de memoria y periféricos vía interrupciones. Introducir los conceptos de máquinas no Von Neumann y procesadores de alta prestación.

### CONTENIDOS MINIMOS

- Lenguaje ensamblador.
- Jerarquías de memoria.
- Interrupciones.
- Vinculación de los módulos de un procesador vía memoria y vía interrupciones.
- Acceso a memoria por DMA.
- Máquinas algorítmicas.
- Nociones de procesadores de alta prestación y máquinas no Von Neumann.

### PROGRAMA ANALÍTICO

#### **Unidad 1 : Arquitectura y Organización de Computadoras**

Concepto de Arquitectura. Relación con Organización de Computadoras. Repaso del modelo de von Neumann. Descripción del funcionamiento de un sistema basado en un microprocesador. Buses, teoría de operación, buses síncronos y asíncronos. Ejemplos. Repaso de ejecución de instrucciones. Ejecución



solapada ("pipeline"). Su aplicación en procesadores contemporáneos. Análisis de prestaciones. Arquitecturas reconfigurables: conceptos.

### **Unidad 2 : Subsistema Unidad Central de Procesos**

Repaso de máquinas que ejecutan instrucciones. Ejemplificación en procesadores típicos. Análisis del conjunto de instrucciones de procesadores de uso comercial. Concepto de máquinas CISC y RISC. Lineamientos básicos en el diseño de un procesador RISC. Análisis de prestaciones. Ejemplos. Interrupciones: tratamiento general. Interrupciones por software y por hardware, vectores, descripción y tratamiento particular de cada una. Relación entre las interrupciones y el manejo de operaciones de E/S.

### **Unidad 3 : Subsistema E/S**

Concepto de E/S y su relación con la CPU, tipos de puertas. Concepto de puerta de Entrada y Salida paralelo. Concepto de puerta de Entrada y Salida serie. Tipos de transmisión serie. Descripción del formato de transmisión serie asincrónica y sincrónica. Descripción funcional de una puerta de E/S serie asincrónica, acceso a registros internos para control y determinación del estado de operación de la puerta. Mapeado del subsistema E/S y la memoria. Administración de las puertas por encuesta (polling) o por interrupción. Tratamiento de la CPU de las operaciones de E/S, por interrupción o por software. Transferencias de E/S por hardware, DMA, implementación.

### **Unidad 4 : Subsistema Memoria**

Repaso de la organización jerárquica de la memoria, memoria principal y memoria secundaria. Memoria caché, concepto y descripción, análisis de prestaciones, métodos de implementación típicos, múltiples niveles. Ejemplos. Conceptos de memoria virtual.

### **Unidad 5 : Paralelismo y mejora de prestaciones**

Concepto de procesamiento paralelo. Paralelismo a nivel instrucción. Procesadores superescalares. Ejemplos. Clasificación de arquitecturas paralelo: taxonomía de Flynn. Ejemplos de aplicación. Arquitecturas Multiprocesador. Memoria compartida o distribuida. Análisis de prestaciones.

## **METODOLOGÍA DE ENSEÑANZA**

El curso tiene clases teóricas y prácticas experimentales. Las clases teóricas son dictadas por los Profesores de la asignatura y no son obligatorias. Los alumnos deben realizar ejercitación práctica, dirigida y no dirigida, tendiente a reforzar lo aprendido en las clases teóricas. Las actividades prácticas son obligatorias, coordinadas por los Jefes de Trabajos Prácticos y desarrolladas por los Auxiliares de la asignatura. Comprenden el análisis, diseño e implementación de algoritmos en lenguaje de ensamblado de 2 procesadores con diferentes conjunto de instrucciones. Los alumnos se estructuran en grupos y se planifican actividades de modo que el aprendizaje de los mismos esté coordinado con los temas desarrollados en las clases teóricas.

## **EVALUACIÓN**

Se prevé la evaluación mediante 2 parciales de Trabajos Prácticos y en forma opcional con restricciones la evaluación de conocimientos de teoría.

### **Aprobación de Parciales**



**UNIVERSIDAD NACIONAL DE LA PLATA  
FACULTAD DE INFORMÁTICA**

---

Cada Parcial se considerará Aprobado cuando obtenga una Nota igual o superior al 50 % del puntaje máximo. Parcial Aprobado NO puede volver a rendirse.

En caso de Desaprobar el mismo parcial en las dos oportunidades consecutivas previstas, el alumno que cumpla con los requisitos de asistencia hasta el final del semestre podrá rendir una segunda fecha de recuperación de cada uno de los parciales.

### Aprobación de la Asignatura

La aprobación de la materia se podrá lograr con examen final ó con régimen de promoción.

#### ▪ Con Examen Final

Los alumnos que hayan aprobado los 2 parciales prácticos obtendrán la Aprobación de los Trabajos Prácticos y la habilitación para rendir el Examen Final de la asignatura.

Para rendir los exámenes finales los alumnos deberán inscribirse en las fechas determinadas según el calendario académico. El alumno que, habiéndose inscripto para rendir Examen Final, no se presente a la mesa correspondiente, se asentará como AUSENTE, sin recaer sobre él penalidad de ninguna especie.

#### ▪ Régimen de Promoción

Aquellos alumnos que deseen optar por el régimen de promoción deben cumplimentar las siguientes condiciones:

1. Aprobar los dos Parciales prácticos con Nota igual o superior al 70% del puntaje máximo en la primera fecha de parcial..
2. Aprobar una Evaluación corta de Teoría que se tomará en fecha estipulada en el cronograma (entre el 1º y el 2º parcial de trabajos prácticos).
3. Cumplidas las 2 primeras condiciones podrán rendir una Evaluación Teórica para promoción (en fecha anterior a la segunda recuperación de parciales). Si el alumno obtiene en ésta Evaluación Teórica para promoción una nota 6 (seis) o superior deberá inscribirse y presentarse en la siguiente mesa de exámenes finales donde se realizará un coloquio en el que se definirá y registrará oficialmente la nota del examen.

En el examen final se interroga sobre todas las unidades del Programa y se espera la contestación de todas ellas. Se proponen 5 puntos que solicitan descripciones de determinados tópicos teóricos. Los enunciados típicos contienen las palabras 'cómo', 'analice', 'describa' ó 'compare'. Las respuestas deben ser adecuadas al enunciado. El tiempo para el examen tiene un máximo de 3 hs reloj.

### BIBLIOGRAFÍA

- ***Organización y Arquitectura de Computadoras – Diseño para optimizar prestaciones***, William Stallings. Editorial Prentice Hall (2003).
- ***Diseño y evaluación de arquitecturas de computadoras***, María Beltrán Pardo y Antonio Guzmán Sacristán. Editorial Prentice Hall (2010).
- ***Organización de Computadoras***, Andrew Tanenbaum. Editorial Prentice Hall (2000).
- ***Arquitectura de computadores - Un enfoque cuantitativo***, John Hennessy & David Patterson. Editorial Mc Graw Hill (1999).



### **CRONOGRAMA DE CLASES Y EVALUACIONES**

<b>Clase</b>	<b>Contenidos/Actividades</b>	<b>Evaluaciones previstas</b>
1	Repaso Arquitectura Von Neumann	
	Subrutinas y Pasaje de argumentos – práctica 1	
2	Interrupciones - práctica 2	
3	Entrada – Salida - práctica 3	
4	Segmentación de instrucciones – práctica 4	Parcial 1 sobre practicas 1 a 3 <b>30 SEPTIEMBRE 2014</b>
5	Posibles soluciones a atascos	
	Punto flotante y pasaje de argumentos– práctica 5	Recuperación 1 de Parcial 1 <b>14 OCTUBRE 2014</b>
6	RISC	Evaluación Teórica Corta <b>11 OCTUBRE 2014</b>
	E-S mapeada en memoria – práctica 6	
7	Memoria cache	Parcial 2 sobre practicas 4 a 6 <b>11 NOVIEMBRE 2014</b>
8	Buses del sistema	
9	Procesadores superescalares	Recuperación 1 de Parcial 2 <b>21 NOVIEMBRE 2014</b>
10	Procesamiento paralelo	
	Evaluación Teórica Promoción <b>26 NOVIEMBRE 2014</b>	Recuperación 2 de Parcial 1y2 <b>05 DICIEMBRE 2014</b>

**Contacto de la cátedra (mail, página, plataforma virtual de gestión de cursos):**

<http://weblidi.info.unlp.edu.ar/catedras/arquitecturaP2003/index.html>

Firmas del/los profesores responsables:

\_\_\_\_\_