



UNIVERSIDAD NACIONAL DE LA PLATA
FACULTAD DE INFORMÁTICA

ARQUITECTURA DE COMPUTADORAS

Año 2012

Carrera/ Plan:

Licenciatura en Informática Plan 2003/07-2012

Licenciatura en Sistemas Plan 2003/07-2012

Analista Programador Universitario Plan 2007

Año: 1°

Régimen de Cursada Semestral

Carácter: Obligatoria

Correlativas: Organización de Computadoras

Profesor: Horacio Villagarcía Wanza, Néstor Castro, Jorge Runco, Enrique Orellana

Hs. semanales : 6 hs.

FUNDAMENTACIÓN

La asignatura profundiza los conocimientos de tecnología informática en Arquitectura de Procesadores.

Esos conocimientos coadyuvarán a que como profesional pueda evaluar y verificar la utilización, eficiencia y confiabilidad de equipamiento informático (hardware) y también le serán necesarios para la configuración y dimensionamiento de sistemas de procesamiento de información.

OBJETIVOS GENERALES

Profundizar los conceptos vistos en Organización de Computadoras, de modo de lograr que el alumno comprenda los mecanismos internos de operación de una computadora. En particular analizar el manejo de memoria y periféricos vía interrupciones. Introducir los conceptos de máquinas no Von Neumann y procesadores de alta prestación.

CONTENIDOS MINIMOS

- Lenguaje ensamblador.
- Jerarquías de memoria.
- Interrupciones.
- Vinculación de los módulos de un procesador vía memoria y vía interrupciones.
- Acceso a memoria por DMA.
- Máquinas algorítmicas.
- Nociones de procesadores de alta prestación y máquinas no Von Neumann.



PROGRAMA ANALÍTICO

Unidad 1 : Arquitectura y Organización de Computadoras

Concepto de Arquitectura. Relación con Organización de Computadoras. Repaso del modelo de von Neumann. Descripción del funcionamiento de un sistema basado en un microprocesador. Buses, teoría de operación, buses sincrónicos y asincrónicos. Ejemplos. Repaso de ejecución de instrucciones. Ejecución solapada ("pipeline"). Su aplicación en procesadores contemporáneos. Análisis de prestaciones. Arquitecturas reconfigurables: conceptos.

Unidad 2 : Subsistema Unidad Central de Procesos

Repaso de máquinas que ejecutan instrucciones. Ejemplificación en procesadores típicos. Análisis del conjunto de instrucciones de procesadores de uso comercial. Concepto de máquinas CISC y RISC. Lineamientos básicos en el diseño de un procesador RISC. Análisis de prestaciones. Ejemplos. Interrupciones: tratamiento general. Interrupciones por software y por hardware, vectores, descripción y tratamiento particular de cada una. Relación entre las interrupciones y el manejo de operaciones de E/S.

Unidad 3 : Subsistema E/S

Concepto de E/S y su relación con la CPU, tipos de puertas. Concepto de puerta de Entrada y Salida paralelo. Concepto de puerta de Entrada y Salida serie. Tipos de transmisión serie. Descripción del formato de transmisión serie asincrónica y sincrónica. Descripción funcional de una puerta de E/S serie asincrónica, acceso a registros internos para control y determinación del estado de operación de la puerta. Mapeado del subsistema E/S y la memoria. Administración de las puertas por encuesta (polling) o por interrupción. Tratamiento de la CPU de las operaciones de E/S, por interrupción o por software. Transferencias de E/S por hardware, DMA, implementación.

Unidad 4 : Subsistema Memoria

Repaso de la organización jerárquica de la memoria, memoria principal y memoria secundaria. Memoria caché, concepto y descripción, análisis de prestaciones, métodos de implementación típicos, múltiples niveles. Ejemplos. Conceptos de memoria virtual.

Unidad 5 : Paralelismo y mejora de prestaciones

Concepto de procesamiento paralelo. Paralelismo a nivel instrucción. Procesadores superescalares. Ejemplos. Clasificación de arquitecturas paralelo: taxonomía de Flynn. Ejemplos de aplicación. Arquitecturas Multiprocesador. Memoria compartida o distribuida. Análisis de prestaciones.

METODOLOGÍA DE ENSEÑANZA

El curso tiene clases teóricas y prácticas experimentales. Las clases teóricas son dictadas



UNIVERSIDAD NACIONAL DE LA PLATA
FACULTAD DE INFORMÁTICA

por los Profesores de la asignatura y no son obligatorias. Los alumnos deben realizar ejercitación práctica, dirigida y no dirigida, tendiente a reforzar lo aprendido en las clases teóricas. Las actividades prácticas son obligatorias, coordinadas por los Jefes de Trabajos Prácticos y desarrolladas por los Auxiliares de la asignatura. Comprenden el análisis, diseño e implementación de algoritmos en lenguaje de ensamblado de 2 procesadores con diferentes conjunto de instrucciones. Los alumnos se estructuran en grupos y se planifican actividades de modo que el aprendizaje de los mismos esté coordinado con los temas desarrollados en las clases teóricas.

EVALUACIÓN

Para aprobar el curso de Trabajos Prácticos, los alumnos deben aprobar 2 evaluaciones parciales escritas complementarias. Cada evaluación posee 2 fechas de recuperación y se realizan diferentes actividades de apoyo personalizado para los mismos. Todos los alumnos tienen un seguimiento continuo. Se les asignan tareas opcionales (por equipos de 3-4 alumnos) que son corregidas especialmente. Estas actividades se registran y los resultados de las evaluaciones son conocidos (y explicados) al alumno, aunque no condicionan sus evaluaciones parciales obligatorios. Los alumnos que hayan aprobado el curso de trabajos prácticos deberán rendir un examen teórico escrito para Aprobar la asignatura (conocido como examen final). En el examen final se interroga sobre todas las unidades del Programa y se espera la contestación de todas ellas. Se proponen 5 puntos que solicitan descripciones de determinados tópicos teóricos. Los enunciados típicos contienen las palabras 'cómo', 'analice', 'describa' ó 'compare'. Las respuestas deben ser adecuadas al enunciado. El tiempo para el examen tiene un máximo de 3 hs reloj.

BIBLIOGRAFÍA

- ***Organización y Arquitectura de Computadoras – Diseño para optimizar prestaciones***, William Stallings. Editorial Prentice Hall (2003).
- ***Diseño y evaluación de arquitecturas de computadoras***, María Beltrán Pardo y Antonio Guzmán Sacristán. Editorial Prentice Hall (2010).
- ***Organización de Computadoras***, Andrew Tanenbaum. Editorial Prentice Hall (2000).
- ***Arquitectura de computadores - Un enfoque cuantitativo***, John Hennessy & David Patterson. Editorial Mc Graw Hill (1999).



CRONOGRAMA DE CLASES Y EVALUACIONES

| Clase | Contenidos/Actividades | Evaluaciones previstas |
|-------|---|---------------------------------|
| 1 | Repaso Arquitectura Von Neumann | |
| | Subrutinas y Pasaje de argumentos – práctica 1 | |
| 2 | Interrupciones - práctica 2 | |
| 3 | Entrada – Salida - práctica 3 | |
| 4 | Segmentación de instrucciones – práctica 4 | Parcial 1 sobre practicas 1 a 3 |
| 5 | Posibles soluciones a atascos | |
| | Punto flotante y pasaje de argumentos– práctica 5 | Recuperación 1 de Parcial 1 |
| 6 | RISC | |
| | E-S mapeada en memoria – práctica 6 | |
| 7 | Memoria cache | Parcial 2 sobre practicas 4 a 6 |
| 8 | Buses del sistema | |
| 9 | Procesadores superescalares | Recuperación 1 de Parcial 2 |
| 10 | Procesamiento paralelo | Recuperación 2 de Parcial 1y2 |

Contacto de la cátedra (mail, página, plataforma virtual de gestión de cursos):

<http://weblidi.info.unlp.edu.ar/catedras/arquitecturaP2003/index.html>

Firmas del/los profesores responsables:
