

“Determinación de la eficiencia en el procesamiento sobre Arquitecturas Multiprocesador y Estrategias de Tolerancia a Fallos en HPC”

Jorge R. Osio^{1,2}, Diego Montezanti^{1,4}, Marcelo Cappelletti^{1,2}, Eduardo Kunysz¹,
Martín Morales^{1,3}

¹ Programa de Tecnologías de la información y la comunicación (TIC) en aplicaciones de interés social - IlyA - UNAJ

² Línea CeTAD - GCA - Instituto Leici –Fac. de Ingeniería -UNLP

³ Codiseño HW SW para Aplicaciones en Tiempo Real - UTN - FRLP

⁴ Instituto de Investigación en Informática LIDI - Fac. de Informática –UNLP

{josio, dmontezanti, mcappelletti, ekunysz, martin.morales}@unaj.edu.ar

Resumen

Dentro de la línea de investigación que se está desarrollando, existen varios enfoques. Por un lado se viene trabajando sobre la implementación de algoritmos de procesamiento de imágenes sobre dispositivos reconfigurables, utilizando una combinación de diferentes técnicas de concurrencia y paralelismo para tener en cuenta aspectos comunes de dichos algoritmos, y así mejorar la eficiencia en el procesamiento sobre las imágenes médicas. Por otra parte, debido a que el procesamiento paralelo requiere de la implementación de sistemas de múltiples procesadores, se ha trabajado en el desarrollo de metodología de tolerancia a fallos transitorios, que son cada vez más frecuentes en las arquitecturas paralelas (HPC), y que afectan especialmente a las aplicaciones de cómputo intensivo y ejecuciones de larga duración. Actualmente se está estudiando la detección y recuperación de errores en memorias y dispositivos de procesamiento sometidos a pulsos láser, técnica conocida como Láser Testing.

Palabras clave: *arquitecturas paralelas, procesamiento de imágenes, checkpoints de capa de sistema, tolerancia a fallos, sistemas multicores, Laser Testing, dispositivos reconfigurables.*

Contexto

Las líneas de Investigación descritas en este trabajo forman parte del Proyecto de Investigación Científico-Tecnológico “Tecnologías de la información y las comunicaciones mediante IoT para la solución de problemas en el medio socio productivo”, que se desarrolla en la Universidad Nacional Arturo Jauretche (UNAJ).

Parte de las líneas de investigación desarrolladas se encuentran enmarcadas en los convenios de colaboración en Actividades de Investigación firmados entre la UNAJ y el Instituto LIDI, de la Facultad de Informática, UNLP.

1. Introducción

En los últimos años, se ha buscado expandir el concepto del procesamiento paralelo con computadoras basadas en multicores hacia la utilización de plataformas de procesamiento más específicas. Para obtener mayor eficiencia, los fabricantes de computadoras de altas prestaciones, han introducido unidades FPGAs, (arreglo de compuertas programables en campo), en su diseño como soporte para el cómputo ([1-3]).

Si bien el estudio de sistemas paralelos con múltiples procesadores, es un campo bien desarrollado, la utilización de múltiples cores en sistemas reconfigurables es un terreno que tiene múltiples posibilidades de exploración [4]. En el presente proyecto se exploran mejoras en la implementación de los algoritmos mediante procesamiento paralelo de SW y Concurrencia en VHDL (lenguaje de descripción de hardware). Por otro lado, se investiga sobre la tolerancia a fallos de sistemas con gran poder de cómputo y basados en HPC. Adicionalmente, se está estudiando la detección y recuperación de errores en memorias y sistemas de procesamiento que han sido expuestos a experimentos de Láser Testing [5].

Plataformas FPGAs para procesamiento paralelo

La implementación de paralelismo en plataformas FPGAs consiste en el uso de procesadores embebidos para ejecutar aplicaciones y en la utilización de las características que provee la lógica programable para manejar las porciones de código que se ejecutan concurrentemente [4].

La facilidad de implementar procesadores embebidos en forma rápida, junto con la posibilidad de proveer concurrencia mediante la programación en HW permite combinar las FPGAs con el paralelismo obtenido mediante sistemas multicore para alcanzar la máxima eficiencia.

Entre las ventajas que proveen las FPGAs actuales para el cómputo paralelo se dispone

de SoftCores (o procesadores embebidos) que permiten realizar las tareas de administración de datos. También, la posible conexión de IP-Cores (CoProcesadores) específicos que pueden realizar procesamiento de millones de MACs por segundo (operaciones de multiplicación / acumulación), poseen Delay Locked Loops (DLL) que permiten la multiplicación de la frecuencia de reloj, entre otras prestaciones.

Además, contienen bloques DRAM / SRAM de alta velocidad. Bloques RAM con capacidad de múltiples puertos para almacenar datos en paralelo.

Tolerancia a Fallos en sistemas multicore

El aumento en la escala de integración, con el objetivo de mejorar las prestaciones en los procesadores, y el crecimiento del tamaño de los sistemas de cómputo, han provocado que la confiabilidad se haya vuelto un aspecto crítico. En particular, la creciente vulnerabilidad a los fallos transitorios se ha vuelto altamente relevante, a causa de la capacidad de estos fallos de alterar los resultados de las aplicaciones.

El impacto de los fallos transitorios aumenta notoriamente en el contexto del Cómputo de Altas Prestaciones, debido a que el Tiempo Medio Entre Fallos (MTBF) del sistema disminuye al incrementarse el número de procesadores. En un escenario típico, en el cual cientos o miles de núcleos de procesamiento trabajan en conjunto para ejecutar aplicaciones paralelas, la incidencia de los fallos transitorios crece en el caso de que las ejecuciones tengan una elevada duración, debido a que el tiempo de cómputo y los recursos utilizados desperdiciados resultan mayores [11]. Esto último justifica la necesidad de desarrollar estrategias específicas para mejorar la confiabilidad y robustez en sistemas de HPC. En particular, el foco está puesto en lograr detección y recuperación automática de los fallos silenciosos, que no son detectados por ninguna capa del software del sistema, esto

significa que son capaces de corromper los resultados de la ejecución.

Análisis de los efectos únicos de fallos en FPGA

Cuando los dispositivos electrónicos trabajan en ambientes hostiles con presencia de partículas de alta energía (iones, electrones, fotones, etc.) pueden sufrir daños por ionización, la cual puede ocasionar efectos de naturaleza transitoria conocidos como efectos únicos de falla (SEE: Single Event Effects). Estos efectos de la radiación se manifiestan en los FPGA, cuando las partículas impactan sobre un área sensible de los dispositivos, generalmente como pulsos transitorios o cambios de nivel en uno o varios bits. Esto puede provocar desde la pérdida de datos de manera transitoria hasta permanente, interrupción de la funcionalidad y fallas electrónicas permanentes entre otros deterioros [12].

Antecedentes del Grupo de Trabajo

Los antecedentes del grupo de trabajo parten de la investigación acerca de procesamiento de imágenes sobre diferentes arquitecturas paralelas ([3],[4] y [7]) y de la investigación de la Tolerancia a fallos en sistemas multicore ([3], [9] y [10]). Respecto al análisis de fallos en FPGAs mediante la técnica de Laser Testing, el Dr. Cappelletti ha dirigido trabajos finales basados en esta técnica aplicada sobre Memorias EPROM y sobre microcontroladores ([5] y [13]).

El Director del proyecto participa en proyectos de investigación desde el año 2005 en la Facultad de Ingeniería de la UNLP, además dirige proyectos de investigación desde el año 2015 en la UNAJ. Actualmente, el grupo de trabajo investiga en los temas: Procesamiento Digital de Imágenes Médicas sobre plataformas FPGA, Procesamiento de Imágenes en sistemas HPRC y tolerancia a fallos pertenecientes a estudios de Maestrías y Doctorados que se realizaron en el marco de

estudios de posgrado en la Facultad de Ingeniería, UNLP y acuerdos de colaboración entre el Instituto LIDI y la UNAJ a través de los respectivos proyectos de investigación.

Como resultado del trabajo realizado recientemente en la UNAJ se han publicado artículos en diferentes congresos nacionales de Ingeniería Informática y Ciencias de la Computación [3],[4] y [6-8].

2. Líneas de Investigación y Desarrollo

El grupo de investigación que se ha constituido recientemente en la UNAJ es multidisciplinario, y sus miembros cuentan con experiencia en sistemas multiprocesador, tolerancia a fallos en HPC, procesamiento de imágenes y análisis de los efectos únicos de fallos mediante Láser Testing.

Temas de Estudio e Investigación

- Implementación de un sistema multiprocesador en Dispositivos Lógicos Programables (FPGAs).
- Análisis y determinación del desempeño logrado en el procesamiento de imágenes mediante la combinación de cómputo paralelo y concurrencia.
- Diseño e implementación de una estrategia que permite al sistema detectar y recuperarse automáticamente de los errores producidos por fallos transitorios. La implementación está basada en replicación de software y es totalmente distribuida; está diseñada para operar en entornos de clusters de multicores donde se ejecutan aplicaciones paralelas científicas de paso de mensajes.
- Estudiar los efectos y aplicar la técnica de Laser Testing para poder predecir la ubicación espacial y temporal de los SEE en el interior del FPGA, con la finalidad de contribuir al diseño de dispositivos más resistentes a la radiación.

3. Resultados Obtenidos/Esperados

Investigación experimental

Hasta el momento se han obtenido resultados satisfactorios en relación a los objetivos principales:

- En cuando al procesamiento de imágenes sobre dispositivos FPGAs, se finalizó la Maestría, en donde se han implementado varios algoritmos en sistemas con dos procesadores microblaze, en donde el acceso a los datos se realizó mediante memoria compartida DDR2-SDRAM de alta velocidad y con múltiples puertos. El procesador master es el encargado de coordinar la lectura y procesamiento de los datos mediante pasaje de mensajes. Respecto a los resultados, el tiempo de procesamiento se disminuye casi al 50% al utilizar dos procesadores. Para minimizar este efecto se utilizaron CoProcesadores que ejecutan buena parte del algoritmo aprovechando la concurrencia que provee el lenguaje VHDL minimizando aún más el tiempo.

- En cuanto a la tolerancia a los fallos transitorios, se finalizó el doctorado, en donde se ha diseñado e implementado SEDAR, una metodología que permite detectar los fallos transitorios y recuperar automáticamente las ejecuciones, aumentando la fiabilidad y la robustez en sistemas en los que se ejecutan aplicaciones paralelas determinísticas de paso de mensajes, de una manera agnóstica a los algoritmos a los que protege. Aquí se aplica una estrategia de detección basada en la replicación de procesos y el monitoreo de las comunicaciones. Además, se desarrolló un mecanismo de recuperación basado en el almacenamiento de un conjunto de checkpoints distribuidos de capa de sistema. La recuperación es automática y se realiza regresando atrás al checkpoint correspondiente. Para la evaluación, se ha desarrollado un conjunto de casos de prueba. Además, se ha diseñado una estrategia de recuperación alternativa, para el caso en el

que se cuente con checkpointing de capa de aplicación. En este caso, es posible almacenar sólo el último checkpoint luego de validarlo.

En la línea de tolerancia a fallos, se ha diseñado e implementado una metodología distribuida basada en replicación de software, diseñada específicamente para aplicaciones paralelas científicas de paso de mensajes, capaz de detectar los fallos transitorios que producirían resultados incorrectos y recuperar de manera automática las ejecuciones [9]. En este tipo de aplicaciones, cuyos procesos cooperan para obtener un resultado, la mayor parte de los datos relevantes son comunicados entre tareas. Por lo tanto, la estrategia de detección consiste en la validación de los contenidos de los mensajes a enviar y de los resultados finales. Esta solución representa un término medio entre un alto nivel de cobertura frente a fallos y la introducción de un bajo *overhead* temporal. De esta forma, la corrupción de los datos que utiliza un proceso de la aplicación se mantiene aislada en el contexto de ese proceso, evitándose la propagación a otros procesos. Así, no solamente se mejora la confiabilidad del sistema, sino que también disminuye la latencia de detección, y por lo tanto el tiempo luego del cual se puede relanzar la aplicación.

Para recuperar al sistema de los efectos del error, la propuesta se basa en restaurar la aplicación a un estado seguro previo a su ocurrencia. Para lograr este objetivo, se ha integrado la detección con un mecanismo basado en múltiples *checkpoints* coordinados en capa de sistema, construidos con la librería DMTCP (que proporcionan cobertura en el caso de que un *checkpoint* resulte afectado por un fallo), o la utilización de un único *checkpoint* no coordinado de capa de aplicación (construido ad-hoc, basándose en el conocimiento de la aplicación), que puede ser verificado para asegurar la integridad de sus datos.

El uso de estas estrategias posibilitará prescindir de la utilización de redundancia triple con votación para detectar y recuperar de fallos transitorios, proveyendo opciones que proporcionan flexibilidad a los

requerimientos del sistema. Además, como estos fallos no requieren reconfiguración del sistema, la recuperación puede realizarse mediante re-ejecución en el mismo core en el que ocurrió el fallo.

Respecto al análisis de los efectos únicos de fallos mediante Láser Testing en FPGAs, se comenzará desarrollando una plataforma de permita la detección y recuperación de errores.

4. Formación de Recursos Humanos

Dentro de la temática de la línea de I+D, todos los miembros del proyecto participan en el dictado de asignaturas de la carrera de Ingeniería Informática de la UNAJ dentro del Área Arquitectura, Sistemas Operativos y Redes.

En este proyecto existe cooperación a nivel nacional. Hay dos Doctores, un Magíster en temas de ejecución de algoritmos de procesamiento de imágenes en sistemas multiprocesador, un Investigador Doctorado en tolerancia a fallos en sistemas HPC y un investigador iniciando el Doctorado en temas relacionados con análisis de los efectos únicos de fallos mediante Láser Testing en FPGAs.

Adicionalmente, se cuenta con la colaboración de estudiantes avanzados.

5. Bibliografía

- [1] O. Mencer, K. Tsoi, S.Craimer, T. Todman, W.Luk, Ming Wong and P. Leong, "CUBE: a 512-FPGA Cluster", Dept. of Computing, Imperial College London, Dept. of Computer Science and Engineering The Chinese University of Hong Kong. (2009)
- [2] Keith Underwood, "FPGAs vs. CPUs: Trends in Peak Floating-Point Performance", Sandia National Laboratories. (2011)
- [3] J. Osio, D Montezanti, E. Kunysz, Morales M., "Análisis de eficiencia y tolerancia a fallo en Arquitecturas Multiprocesador para aplicaciones de procesamiento de datos", UNNE, Corrientes, WICC 2018.
- [4] J. Osio, J. Salvatore, E. Kunysz, V. Guarpi, M. Morales, "Análisis de Eficiencia en Arquitecturas Multiprocesador para Aplicaciones de Transmisión y Procesamiento de Datos", UNER, Ciudad de Concordia, WICC 2016.
- [5] I. Garda, A. Cédola, M.A. Cappelletti, F. San Juan y E.L. Peltzer y Blancá, "Design and Implementation of a Measurement Unit for Laser Testing of Semiconductor Memories", IEEE Xplore Digital Library. ISBN 978-987-1907-44-1. Pages: 96-101 (2013).
- [6] J. Osio, D. Montezanti, M. Morales, "Análisis de Eficiencia en Sistemas Paralelos", Ushuahia, Tierra del Fuego, WICC 2014
- [7] E. Kunysz, J. Rapallini, J. Osio, "Sistema de cómputo reconfigurable de alta performance (Proyecto HPRC)", 3ras Jornadas ITE - 2015 -Facultad de Ingeniería – UNLP
- [8] J. Osio, D Montezanti, E. Kunysz, Morales M., "Determinación de la eficiencia y Estrategias de Tolerancia a Fallos en Arquitecturas Multiprocesador para aplicaciones de procesamiento de datos", UNSJ, San Juan, WICC 2019.
- [9] D. Montezanti, A. De Giusti, M. Naiouf, J. Villamayor, D. Rexachs, E. Luque, "A Methodology for Soft Errors Detection and Automatic Recovery", in Proceedings of the 15th International Conference on High Performance Computing & Simulation (HPCS). ISBN: 978-1-5386-3250-5/17. IEEE, 2017, pp. 434
- [10] F. Cappello, A. Geist, W. Gropp, S. Kale, B. Kramer, and M. Snir, "Toward exascale resilience: 2014 update," Supercomputing frontiers and innovations, vol. 1, no. 1, pp. 5–28, 2014.
- [11] Grama A, Gupta A, Karypis G, Kumar V. "Introduction to parallel computing". Pearson Addison Wesley, 2003.
- [12] F. Lima Kastensmidt et al., "Laser testing methodology for diagnosing diverse soft errors in a nanoscale SRAM-based FPGA," IEEE Trans. Nuclear Science, vol. 61, no. 6, pp. 3130-3137, 2014.
- [13] María Florencia Stanley, Beca de Estimulo a las Vocaciones Científicas CIN-UNLP. Duración 1 año. Periodo Octubre 2013-Septiembre 2014.